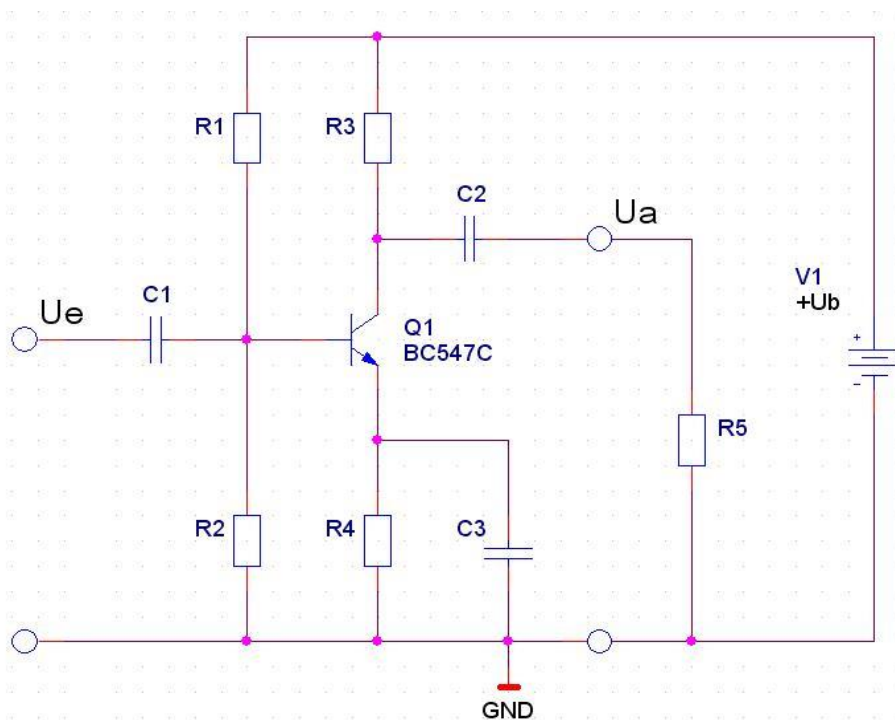


1. In einer Emitterschaltung sind folgende Bauteilwerte vorgegeben:

Transistor Q1: Stromverstärkung $B = 350$, diff. Stromverstärkung $\beta = 400$
 $U_{BE}' = 0,7V$, $r_{CE} = 12000\Omega$
 Widerstände: $R4 = 0\Omega$, $R5 = 1500\Omega$
 Kondensator: $C3 = 150\mu F$
 Betriebsspannung $+U_b = 24V$, Kollektorstrom $I_C' = 8mA$
 Betriebsfrequenz $100 - 10000Hz$



gesucht: Einstellung des Arbeitspunktes auf $\frac{1}{2} +U_b$ ($R1$, $R2$ und $R3$),
 differentieller Widerstand r_{BE} , differentieller Ein- und Ausgangs-
 widerstand (r_e und r_a) der Schaltung

2. Was versteht man unter der Rückkopplung eines Verstärkers?
 Beschreiben Sie das Prinzip anhand einer der beiden Möglichkeiten.

3. Was ist der Spannungsoffset eines Operationsverstärkers?
 Erklären Sie Ursache und Wirkung dieses Phänomens. Wie kann der Einfluss desselben unterdrückt werden? (Schaltskizze, Beschreibung und Einschränkungen)

4. **Beschreiben Sie Prinzip und technische Ausführung eines Thermoelements.**
Erklären Sie in diesem Zusammenhang die Begriffe „Kaltpunktkompensation“ und „Ausgleichsleitungen“. Welche Ausführungsformen von Thermoelementen kennen Sie?

5. **Welche Möglichkeiten zur Steuerung eines Transistors kennen Sie?**
Erklären Sie die beiden Prinzipien und beschreiben Sie die Vorgänge bei der Übersteuerung (Sättigung) eines Transistors. Wo findet diese Anwendung?

6. **Beschreiben Sie Aufbau und Arbeitsweise eines „Pixels“.**
Wie kann die Ladung im CCD zum Ausgangsverstärker transportiert werden?

7. **RISC – CISC: Erklären Sie diese Mikroprozessor-Designkonzepte in einer Gegenüberstellung.**
Vor- und Nachteile, Beispiele der Anwendung

8. **Zeichnen Sie den Aufbau einer 1bit ALU.**
Erklären Sie die Funktion der einzelnen Komponenten und deren Zusammenwirken in Worten.

9. **Beschreiben Sie Aufbau und Funktion eines asynchronen sowie synchronen Binärzählers.**

10. **Entwickeln Sie einen synchronen Zähler aus JK-Flip-Flops mit der Zählfolge: „0 – 9 – 6 – 4 – 10 – 14 – 0“**
Wahrheitstabelle, Karnaugh-Veitch-Diagramme, minimierte Funktionen für die Eingänge J und K der FF's sowie logisches Schaltbild.

Verwenden Sie nach Möglichkeit die nachfolgend auf Seite 3 vorgegebenen Tabellen und Diagramme.

Gutes Gelingen!

synchroner JK-FF-Zähler mit Zählfolge „0 – 9 – 6 – 4 – 10 – 14 – 0“

	t_n				t_{n+1}				
dez	Q_D	Q_C	Q_B	Q_A	Q_D	Q_C	Q_B	Q_A	dez
0	0	0	0	0					
1	0	0	0	1					
2	0	0	1	0					
3	0	0	1	1					
4	0	1	0	0					
5	0	1	0	1					
6	0	1	1	0					
7	0	1	1	1					
8	1	0	0	0					
9	1	0	0	1					
10	1	0	1	0					
11	1	0	1	1					
12	1	1	0	0					
13	1	1	0	1					
14	1	1	1	0					
15	1	1	1	1					

	00	01	11	10	DC
00	0	4	12	8	
01	1	5	13	9	
11	3	7	15	11	
10	2	6	14	10	
BA					

	Q_n	Q_{n+1}	J	K
0	0	0	0	X
0	0	1	1	X
1	0	0	X	1
1	1	1	X	0

	00	01	11	10	DC
00					
01					
11					
10					
BA					

	00	01	11	10	DC
00					
01					
11					
10					
BA					

	00	01	11	10	DC
00					
01					
11					
10					
BA					

	00	01	11	10	DC
00					
01					
11					
10					
BA					

	00	01	11	10	DC
00					
01					
11					
10					
BA					

	00	01	11	10	DC
00					
01					
11					
10					
BA					

	00	01	11	10	DC
00					
01					
11					
10					
BA					

	00	01	11	10	DC
00					
01					
11					
10					
BA					

10 Punkte pro Beispiel

Gesamtpunkte	Note
$GP < 50,0$	5
$50,0 \leq GP < 62,5$	4
$62,5 \leq GP < 75,0$	3
$75,0 \leq GP < 87,5$	2
$87,5 \leq GP$	1